

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of: Ryutaro MORI

Serial No.: Not Yet Assigned

Filing Date: January 7, 2004

For: SAMPLE-AND-HOLD METHOD

Examiner: Not Yet Assigned

Group Art Unit: Not Yet Assigned

SUBMISSION OF CERTIFIED FOREIGN PRIORITY DOCUMENT

Commissioner for Patents
2011 South Clark Place
Room 1B03, Crystal Plaza 2
Arlington, Virginia 22202

Sir:

Under the provisions of 35 USC 119, Applicant hereby claims the benefit of the filing of Japanese patent application Nos. 2003-301728 filed August 26, 2003 and 2003-377508 filed November 6, 2003.

The certified priority document is attached to perfect Applicant's claim for priority.

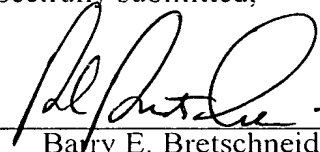
It is respectfully requested that the receipt of the certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicant petitions for any required relief including extensions of time and authorizes the

Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to **Deposit Account No. 03-1952** referencing **488442006100**.

Dated: January 7, 2004

Respectfully submitted,

By: 
Barry E. Bretschneider
Registration No. 28,055

Morrison & Foerster LLP
1650 Tysons Boulevard, Suite 300
McLean, Virginia 22102
Telephone: (703) 760-7748
Facsimile: (703) 760-7777

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 8月26日
Date of Application:

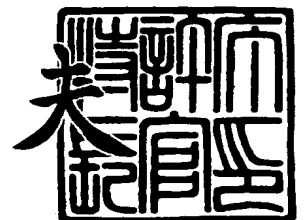
出願番号 特願2003-301728
Application Number:
[ST. 10/C]: [JP 2003-301728]

出願人 アセットコア・テクノロジー株式会社
Applicant(s):

2003年11月18日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3095292

【書類名】 特許願
【整理番号】 1159
【あて先】 特許庁長官殿
【国際特許分類】 G08B 05/00
【発明者】
 【住所又は居所】 埼玉県さいたま市緑区原山一丁目6番20号
 【氏名】 森 隆太郎
【特許出願人】
 【識別番号】 303038146
 【氏名又は名称】 アセットコア・テクノロジー株式会社
 【代表者】 成川 和利
【代理人】
 【識別番号】 100098899
 【弁理士】
 【氏名又は名称】 飯塚 信市
【手数料の表示】
 【予納台帳番号】 037486
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0310511

【書類名】 特許請求の範囲**【請求項 1】**

連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみをサンプルホールドするための方法であって、

前記前側区間に対応する第 1 の記憶領域と前記後側区間に対応する第 2 の記憶領域とが定義された一次記憶媒体を用意する第 1 のステップと、

到来する一連のデータを第 1 の記憶領域にアドレスを循環歩進させながら書き込む動作を前記トリガ信号が到来するまで継続する第 2 のステップと、

前記トリガ信号が到来するのを待って、前記第 1 の記憶領域へのデータ書き込みを停止する代わりに、前記トリガ信号の到来以降に到来した一連のデータを第 2 の記憶領域へと書き込む第 3 のステップと、

を具備することを特徴とするデータ列のサンプルホールド方法。

【請求項 2】

前記第 3 のステップが完了するのを待って、前記一次記憶媒体の第 1 及び第 2 の記憶領域に書き込まれたデータを二次記憶媒体へと転写する第 4 のステップをさらに有することを特徴とする請求項 1 に記載のデータ列のサンプルホールド方法。

【請求項 3】

前記一次記憶媒体がオプトメモリ等の高速記憶に適する不揮発性記憶媒体、又は電源バックアップされた DRAM 等の揮発性記憶媒体であることを特徴とする請求項 1 に記載のデータ列のサンプルホールド方法。

【請求項 4】

前記一次記憶媒体が DRAM 等の高速記憶に適する揮発性記憶媒体であり、かつ前記二次記憶媒体がフラッシュメモリ、ハードディスク等の不揮発性記憶媒体であることを特徴とする請求項 2 に記載のデータ列のサンプルホールド方法。

【請求項 5】

第 1 の記憶領域の記憶容量は第 2 の記憶領域の記憶容量の整数倍とされることを特徴とする請求項 1 ～ 4 のいずれかに記載のデータ列のサンプルホールド方法。

【請求項 6】

第 1 の記憶領域の記憶容量は第 2 の記憶領域の記憶容量の 2 倍とされることを特徴とする請求項 5 に記載のデータ列のサンプルホールド方法。

【請求項 7】

連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみをサンプルホールドするための装置であって、

一次記憶媒体と、

前記一次記憶媒体に前記前側区間に対応する第 1 の記憶領域と前記後側区間に対応する第 2 の記憶領域とを定義するための領域定義データを記憶するための領域定義データ記憶手段と、

到来する一連のデータを前記領域定義データにより定義される前記第 1 の記憶領域にアドレスを循環歩進させながら書き込む動作を前記トリガ信号が到来するまで継続する第 1 の書き込み制御手段と、

前記トリガ信号が到来するのを待って、前記第 1 の記憶領域へのデータ書き込みを停止する代わりに、前記トリガ信号の到来以降に到来した一連のデータを前記領域定義データにより定義される前記第 2 の記憶領域へと書き込む第 2 の書き込み制御手段と、

を具備することを特徴とするデータ列のサンプルホールド装置。

【請求項 8】

二次記憶媒体と、

前記一次記憶媒体の第 1 及び第 2 の記憶領域に書き込まれたデータを前記二次記憶媒体に転写するデータ転写制御手段とをさらに有することを特徴とする請求項 7 に記載のデー

タ列のサンプルホールド装置。

【請求項 9】

前記一次記憶媒体がオプトメモリ等の高速記憶に適する不揮発性記憶媒体、又は電源バックアップされたDRAM等の揮発性記憶媒体であることを特徴とする請求項 7 に記載のデータ列のサンプルホールド装置。

【請求項 10】

前記一次記憶媒体がDRAM等の高速記憶に適する揮発性記憶媒体であり、かつ前記二次記憶媒体がフラッシュメモリ、ハードディスク等の不揮発性記憶媒体であることを特徴とする請求項 8 に記載のデータ列のサンプルホールド装置。

【請求項 11】

外部からの入力データに基づいて領域定義データを内部生成する領域定義データ生成手段を有することを特徴とする請求項 7～10 のいずれかに記載のデータ列のサンプルホールド装置。

【請求項 12】

前記外部からの入力データには第 1 の記憶領域の容量を示すデータと第 2 の記憶領域の容量を示すデータとの双方が含まれており、前記領域定義データ生成手段はそれら 2 つのデータに基づいて領域定義データを生成することを特徴とする請求項 11 に記載のデータ列のサンプルホールド装置。

【請求項 13】

前記外部からの入力データには第 1 の記憶領域の容量を示すデータは含まれているが、第 2 の記憶領域の容量を示すデータは含まれておらず、前記領域定義データ生成手段は第 1 の領域の容量を示すデータのみに基づいて領域定義データを生成することを特徴とする請求項 11 に記載のデータ列のサンプルホールド装置。

【請求項 14】

第 1 の記憶領域の記憶容量は第 2 の記憶領域の記憶容量の整数倍とされることを特徴とする請求項 7～13 のいずれかに記載のデータ列のサンプルホールド装置。

【請求項 15】

第 1 の記憶領域の記憶容量は第 2 の記憶領域の記憶容量の 2 倍とされることを特徴とする請求項 14 に記載のデータ列のサンプルホールド装置。

【請求項 16】

サンプル対象となる一連のデータが入力される第 1 のポートと、
所定のトリガ信号が入力される第 2 のポートと、
所定の記憶媒体へと接続される第 3 のポートと、
サンプルホールドされた一連のデータを出力するための第 4 のポートと、
第 3 のポートに接続された記憶媒体に第 1 の記憶領域と第 2 の記憶領域とを定義する領域定義データを記憶するための領域定義データ記憶手段と、
第 1 のポートから入力される一連のデータを第 3 のポートに接続された記憶媒体の第 1 の記憶領域にアドレスを循環歩進させながら書き込む動作を、第 2 のポートからトリガ信号が入力されるまで継続する第 1 の書き込み制御手段と、
第 2 のポートからトリガ信号が入力されるのを待って、記憶媒体の第 1 の記憶領域へのデータ書き込みを停止する代わりに、トリガ信号の到来以降に到来した一連のデータを記憶媒体の第 2 の記憶領域へと書き込む第 2 の書き込み制御手段と、
第 3 のポートに接続された一次記憶媒体の第 1 の記憶領域及び第 2 の記憶領域に記憶されたデータを第 4 のポートへと送り出すための制御を司るデータ読み出し制御手段と、
を具備することを特徴とする半導体集積回路。

【請求項 17】

前記記憶媒体がオプトメモリ等の高速記憶に適する不揮発性記憶媒体、又は電源バックアップされたDRAM等の揮発性記憶媒体であることを特徴とする請求項 17 に記載の半導体集積回路。

【請求項 18】

当該半導体集積回路の内部のみならず、外部接続される記憶媒体並びに外部接続されて動作クロックを当該半導体集積回路に対して供給する発振器に対しても電源を供給する電源制御部を有することを特徴とする請求項 16 に記載の半導体集積回路。

【請求項 19】

前記電源制御部から供給される電源を停電時に所定時間保持するためのスーパーキャパシタを接続するための外部端子を有することを特徴とする請求項 18 に記載の半導体集積回路。

【請求項 20】

制御用データが入力される第 5 のポートと、

前記第 5 のポートから入力される制御用データに基づいて前記領域定義データを内部生成する領域定義データ生成手段をさらに含むことを特徴とする請求項 16 ～ 19 のいずれかに記載の半導体集積回路。

【請求項 21】

サンプル対象となる一連のデータが入力される第 1 のポートと、

所定のトリガ信号が入力される第 2 のポートと、

所定の一次記憶媒体へと接続される第 3 のポートと、

所定の二次記憶媒体へと接続される第 4 のポートと、

サンプルホールドされたデータを読み出すための第 5 のポートと、

第 3 のポートに接続された一次記憶媒体に第 1 の記憶領域と第 2 の記憶領域とを定義する領域定義データを記憶するための領域定義データ記憶手段と、

第 1 のポートから入力される一連のデータを第 3 のポートに接続された一次記憶媒体の第 1 の記憶領域にアドレスを循環歩進させながら書き込む動作を、第 2 のポートからトリガ信号が入力されるまで継続する第 1 の書き込み制御手段と、

第 2 のポートからトリガ信号が入力されるのを待って、一次記憶媒体の第 1 の記憶領域へのデータ書き込みを停止する代わりに、トリガ信号の到来以降に到来した一連のデータを一次記憶媒体の第 2 の記憶領域へと書き込む第 2 の書き込み制御手段と、

第 3 のポートに接続された一次記憶媒体の第 1 及び第 2 の記憶領域に書き込まれたデータを第 4 のポートに接続された二次記憶媒体へと転写するデータ転写制御手段と、

第 4 のポートに接続された二次記憶媒体に記憶されたデータを第 5 のポートへと送り出すための制御を司るデータ読み出し制御手段と、

を具備することを特徴とする半導体集積回路。

【請求項 22】

一次記憶媒体が DRAM 等の高速記憶に適する揮発性記憶媒体であり、かつ二次記憶媒体がフラッシュメモリ、ハードディスク等の不揮発性記憶媒体であることを特徴とする請求項 21 に記載の半導体集積回路。

【請求項 23】

当該半導体集積回路の内部のみならず、外部接続される一次及び二次記憶媒体、並びに、外部接続されて動作クロックを当該半導体集積回路に対して供給する発振器に対しても電源を供給する電源制御部を有することを特徴とする請求項 21 に記載の半導体集積回路。

【請求項 24】

前記電源制御部から供給される電源を停電時に所定時間保持するためのスーパーキャパシタを接続するための外部端子を有することを特徴とする請求項 23 に記載の半導体集積回路。

【請求項 25】

第 1 の記憶領域の記憶容量は第 2 の記憶領域の記憶容量の整数倍とされることを特徴とする請求項 20 ～ 24 のいずれかに記載の半導体集積回路。

【請求項 26】

第 1 の記憶領域の記憶容量は第 2 の記憶領域の記憶容量の 2 倍とされることを特徴とする請求項 25 に記載の半導体集積回路。

【請求項 2 7】

制御用データが入力される第 6 のポートと、

前記第 6 のポートから入力される制御用データに基づいて前記領域定義データを内部生成する領域定義データ生成手段をさらに含むことを特徴とする請求項 2 0 ～ 2 6 のいずれかに記載の半導体集積回路。

【書類名】 明細書

【発明の名称】 サンプルホールド方法

【技術分野】

【0001】

本発明は、各種のデータ分析用途等に好適なサンプルホールド方法に係り、特に、連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみを確実にサンプルホールドするための方法に関するものである。

【背景技術】

【0002】

連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみをサンプルホールドすることができれば、各種のデータ分析用途に便利である。

【0003】

例えば、玄関に防犯カメラを取り付けて来訪者を監視するような場合、来訪者の到来を別途設けたセンサや映像そのものの变化等に基づいて検知し、これをトリガとして検知後の防犯カメラからの映像データを一定期間分だけ保存することは従来より知られている（特許文献1参照）。このとき、検知後の一定期間分の映像データのみならず、検知前の一定期間分の映像データについても保存することができれば、それら保存された両映像データに基づいて映像を再生することによって、来訪者の様子をより詳細に観察することができる。

【0004】

また、複数の計測器からの計測データに基づいて対象物の状態を監視しつつ、それら計測データの示す特徴量が予め想定される事象発生時の特徴量と一致したことをトリガとして、その後の一定期間分の計測データを保存すると言ったことも監視システムの分野では知られている。このとき、トリガ発生後の一定期間分の計測データのみならず、トリガ発生前の一定期間分の計測データについても保存することができれば、それら保存された両計測データは、事象発生検知精度の検証や事象発生の予測に有効である。

【0005】

さらに、複数の計測器からの計測データに基づいて車両の状態を監視しつつ、それら計測データの示す特徴量が予め想定される事故発生時の特徴量と一致したことをトリガとして、トリガ発生後の一定期間分の計測データのみならず、トリガ発生前の一定期間分の計測データについても保存することができるとすれば、それら保存された両計測データは事故原因の究明に有効である。

【特許文献1】 特開平4-32390号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

この発明が解決しようとする課題は、連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみを確実にサンプルホールドすることができるサンプルホールド方法及び装置を提供することにある。

【0007】

この発明が解決しようとする他の課題は、上記の課題を達成するために必要とされる記憶媒体の記憶容量を必要最小限に留め、かつトリガ信号の到来タイミング前の所定区間に含まれる一連のデータとトリガ信号の到来タイミング後の所定区間に含まれる一連のデータとを明確に分離してそれぞれを独立して管理できるサンプルホールド方法及び装置を提供することにある。

【0008】

この発明が解決しようとするさらに他の課題は、連続的に到来する一連のデータの中で

、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみを確実にサンプルホールドするための用途に好適な汎用性の高い半導体集積回路を提供することにある。

【0009】

この発明のさらに他の課題については、以下の記載を参照することにより当業者であれば容易に理解されるであろう。

【課題を解決するための手段】

【0010】

本発明のサンプルホールド方法は、連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみをサンプルホールドするための方法である。この方法は、前記前側区間に対応する第1の記憶領域と前記後側区間に対応する第2の記憶領域とが定義された一次記憶媒体を用意する第1のステップと、到来する一連のデータを第1の記憶領域にアドレスを循環歩進させながら書き込む動作を前記トリガ信号が到来するまで継続する第2のステップと、前記トリガ信号が到来するのを待って、前記第1の記憶領域へのデータ書き込みを停止する代わりに、前記トリガ信号の到来以降に到来した一連のデータを第2の記憶領域へと書き込む第3のステップと、を具備して構成される。

【0011】

このような構成によれば、トリガ信号の到来以前に到来した一連のデータは一次記録媒体の第1の記憶領域に保存され、トリガ信号の到来以降に到来した一連のデータは一次記録媒体の第2の記憶領域に保存される。したがって、この方法によれば、必要とされる記憶媒体の記憶容量を必要最小限に留め、かつトリガ信号の到来タイミング前の所定区間に含まれる一連のデータとトリガ信号の到来タイミング後の所定区間に含まれる一連のデータとを明確に分離してそれぞれを独立して管理できる。

【0012】

このとき、前記一次記憶媒体がオプトメモリ等の高速記憶に適する不揮発性記憶媒体、又は電源バックアップされたDRAM等の揮発性記憶媒体とすれば、トリガ信号の到来と共に電源が断たれるような自体が発生したとしても、トリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータを確実にサンプルホールドさせることができる。

【0013】

本発明の上記のサンプルホールド方法は、前記第3のステップが完了するのを待って、前記一次記憶媒体の第1及び第2の記憶領域に書き込まれたデータを二次記憶媒体へと転写する第4のステップをさらに有するようにしてもよい。

【0014】

このような構成によれば、一次記録媒体の第1の記憶領域に保存されたトリガ信号の到来以前に到来した一連のデータ及び一次記録媒体の第2の記憶領域に保存されたトリガ信号の到来以降に到来した一連のデータは、二次記録媒体に転写される。したがって、この方法によれば、必要とされる記憶媒体の記憶容量を必要最小限に留め、かつトリガ信号の到来タイミング前の所定区間に含まれる一連のデータとトリガ信号の到来タイミング後の所定区間に含まれる一連のデータとを明確に分離してそれぞれを独立して安全に管理でき、しかもサンプルホールドされたデータ列は最終的に二次記録媒体に保存されるから、次のサンプルホールド待機動作に支障を与えることがない。

【0015】

このとき、前記一次記憶媒体がDRAM等の高速記憶に適する揮発性記憶媒体であり、かつ前記二次記憶媒体がフラッシュメモリ、ハードディスク等の不揮発性記憶媒体であれば、記憶速度の高速化と保存データの安全性とを共に満足させることができる。

【0016】

なお、上述の2つの発明において、第1の記憶領域の記憶容量は第2の記憶領域の記憶容量の整数倍（より好ましくは2倍）とすることが好ましい。このようにすれば、プレー

ム単位に区分された画像データや音声データ等を対象とする場合、第1の記憶領域に保存されたデータと第2の記憶領域に保存されたデータとのデータ列同士の照合処理が容易となる。

【0017】

本発明のサンプルホールド装置は、連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみをサンプルホールドするための装置である。この装置は、一次記憶媒体と、前記一次記憶媒体に前記前側区間に対応する第1の記憶領域と前記後側区間に対応する第2の記憶領域とを定義するための領域定義データを記憶するための領域定義データ記憶手段と、到来する一連のデータを前記領域定義データにより定義される前記第1の記憶領域にアドレスを循環歩進させながら書き込む動作を前記トリガ信号が到来するまで継続する第1の書き込み制御手段と、前記トリガ信号が到来するのを待って、前記第1の記憶領域へのデータ書き込みを停止する代わりに、前記トリガ信号の到来以降に到来した一連のデータを前記領域定義データにより定義される前記第2の記憶領域へと書き込む第2の書き込み制御手段と、を具備して構成される。

【0018】

このような構成によれば、トリガ信号の到来以前に到来した一連のデータは一次記録媒体の第1の記憶領域に保存され、トリガ信号の到来以降に到来した一連のデータは一次記録媒体の第2の記憶領域に保存される。したがって、この方法によれば、必要とされる記憶媒体の記憶容量を必要最小限に留め、かつトリガ信号の到来タイミング前の所定区間に含まれる一連のデータとトリガ信号の到来タイミング後の所定区間に含まれる一連のデータとを明確に分離してそれぞれを独立して管理できる。

【0019】

このとき、前記一次記憶媒体がオプトメモリ等の高速記憶に適する不揮発性記憶媒体、又は電源バックアップされたDRAM等の揮発性記憶媒体であれば、トリガ信号の到来と共に電源が断たれるような自体が発生したとしても、トリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータを確実にサンプルホールドさせることができる。

【0020】

本発明の上記サンプルホールド装置は、二次記憶媒体と、前記一次記憶媒体の第1及び第2の記憶領域に書き込まれたデータを前記二次記憶媒体に転写するデータ転写制御手段とをさらに有するようにしてもよい。

【0021】

このような構成によれば、一次記録媒体の第1の記憶領域に保存されたトリガ信号の到来以前に到来した一連のデータ及び一次記録媒体の第2の記憶領域に保存されたトリガ信号の到来以降に到来した一連のデータは、二次記録媒体に転写される。したがって、この方法によれば、必要とされる記憶媒体の記憶容量を必要最小限に留め、かつトリガ信号の到来タイミング前の所定区間に含まれる一連のデータとトリガ信号の到来タイミング後の所定区間に含まれる一連のデータとを明確に分離してそれぞれを独立して安全に管理でき、しかもサンプルホールドされたデータ列は最終的に二次記録媒体に保存されるから、次のサンプルホールド待機動作に支障を与えることがない。

【0022】

このとき、前記一次記憶媒体がDRAM等の高速記憶に適する揮発性記憶媒体であり、かつ前記二次記憶媒体がフラッシュメモリ、ハードディスク等の不揮発性記憶媒体であれば、記憶速度の高速化と保存データの安全性とを共に満足させることができる。

【0023】

本発明の上記サンプルホールド装置にあつては、外部からの入力データに基づいて領域定義データを内部生成する領域定義データ生成手段を有するようにしてもよい。ここで、「領域定義データ」とは、先に述べたように、前記一次記憶媒体に前記前側区間に対応する第1の記憶領域と前記後側区間に対応する第2の記憶領域とを定義するためのデータで

あり、例えば当該領域の先頭アドレスや末尾アドレス、先頭アドレスからの最大バイト数等のことを意味している。このような構成によれば、外部から入力データを与えることにより、領域定義データを適切に設定することができる。

【0024】

このとき、前記外部からの入力データに第1の記憶領域の容量を示すデータと第2の記憶領域の容量を示すデータとの双方を含ませおき、前記領域定義データ生成手段はそれら2つのデータに基づいて領域定義データを生成するようにしてもよい。このような構成によれば、外部から入力データを与えることにより、第1の記憶領域の容量と第2の記憶領域の容量とを個別に任意の大きさに設定することができる。

【0025】

また、前記外部からの入力データに第1の記憶領域の容量を示すデータは含ませるものの、第2の記憶領域の容量を示すデータは含ませないでおき、前記領域定義データ生成手段は第1の領域の容量を示すデータのみに基づいて領域定義データを生成するようにしてもよい。このような構成によれば、予め第1の記憶領域の容量と第2記憶領域の容量との間に適当な相関を設けておくことにより、第1の記憶領域の容量のみを示す入力データを与えるだけで、第1の記憶容量と第2の記憶容量とを適切に設定することができる。

【0026】

なお、上述の2つの発明において、第1の記憶領域の記憶容量は第2の記憶領域の記憶容量の整数倍（より好ましくは2倍）とすることが好ましい。このようにすれば、フレーム単位に区分された画像データや音声データ等を対象とする場合、第2の記憶領域の容量を例えばフレームの大きさに対応させておくことにより、第1の記憶領域に保存されたデータと第2の記憶領域に保存されたデータとのデータ列同士の照合処理が容易となる。

【0027】

別の一面から見た本発明は、上記の方法及び装置を実施するために好適な汎用性の高い半導体集積回路を提供する。この半導体集積回路は、サンプル対象となる一連のデータが入力される第1のポートと、所定のトリガ信号が入力される第2のポートと、所定の一次記憶媒体へと接続される第3のポートと、サンプルホールドされた一連のデータを出力するための第4のポートと、第3のポートに接続された一次記憶媒体に第1の記憶領域と第2の記憶領域とを定義する領域定義データを記憶するための領域定義データ記憶手段と、第1のポートから入力される一連のデータを第3のポートに接続された記憶媒体の第1の記憶領域にアドレスを循環歩進させながら書き込む動作を、第2のポートからトリガ信号が入力されるまで継続する第1の書き込み制御手段と、第2のポートからトリガ信号が入力されるのを待って、記憶媒体の第1の記憶領域へのデータ書き込みを停止する代わりに、トリガ信号の到来以降に到来した一連のデータを記憶媒体の第2の記憶領域へと書き込む第2の書き込み制御手段と、第3のポートに接続された一次記憶媒体の第1の記憶領域及び第2の記憶領域に記憶されたデータを第4のポートへと送り出すための制御を司るデータ読み出し制御手段と、を具備して構成される。

【0028】

このような構成によれば、一次記憶媒体を第3のポートに接続した状態において、第1のポートにサンプル対象となる一連のデータを、又第2のポートに所定のトリガ信号をそれぞれ与えるだけで、一次記憶媒体には第1及び第2の記憶領域が適切に定義され、さらにトリガ信号の到来と共に、一次記憶媒体の第1の記憶領域にはトリガ信号到来直前一定区間のデータ列が保存され、一次記憶媒体の第2の記憶領域にはトリガ信号到来直後一定区間のデータ列が保存されることとなる。その後、一次記憶媒体に保存されたこれらのデータ列は、第4のポートから外部へと読み出されることとなる。

【0029】

このとき、前記一次記憶媒体がオプトメモリ等の高速記憶に適する不揮発性記憶媒体、又は電源バックアップされたDRAM等の揮発性記憶媒体であれば、トリガ信号の到来と共に電源が断たれるような事態（例えば、車両のデータロガーとして使用した場合における車両の衝突事故等）が発生したとしても、トリガ信号の到来タイミングの前後それぞれ

所定区間内に存在する一連のデータを確実にサンプルホールドさせることができる。

【0030】

なお、以上説明した第1乃至第4のポートは必ずしもそれぞれ独立したポートであることを意味するものではなく、1個のポートが2以上のポートの機能を実現するものであってもよい。例えば、物理的に1個のポートがサンプル対象となる一連のデータを入力するための第1のポートと所定のトリガ信号を入力するための第2のポートの機能に兼用されていてもよい。

【0031】

本発明の上記半導体集積回路においては、当該半導体集積回路の内部のみならず、外部接続される記憶媒体並びに外部接続されて動作クロックを当該半導体集積回路に対して供給する発振器に対しても電源を供給する電源制御部を有するようにしてもよい。このような構成によれば、記憶媒体並びにクロック発振器の側では電源を用意する必要がないので、その分だけ設計の容易化が図られる。このとき、前記電源制御部から供給される電源を停電時に所定時間保持するためのスーパーキャパシタを接続するための外部端子を有するようにすれば、これに適当な容量を有するスーパーキャパシタを外部接続することで、トリガ信号の到来と共に停電が生じたような場合であっても、動作クロック発振器並びに記憶媒体の機能を正常に維持することにより、サンプルホールド処理動作の確実性を保証することができる。

【0032】

本発明の上記半導体集積回路においては、制御用データが入力される第5のポートと、前記第5のポートから入力される制御用データに基づいて前記領域定義データを内部生成する領域定義データ生成手段をさらに含むようにしてもよい。このような構成によれば、適当な制御用データを外部から第5のポートに与えることで、様々なサンプリングデータに合わせて適切な記憶領域を容易に設定することができる。

【0033】

このとき、前記外部からの制御用データに第1の記憶領域の容量を示すデータと第2の記憶領域の容量を示すデータとの双方を含ませておき、前記領域定義データ生成手段はそれら2つのデータに基づいて領域定義データを生成するようにしてもよい。このような構成によれば、外部から制御用データを与えることにより、第1の記憶領域の容量と第2の記憶領域の容量とを個別に任意の大きさに設定することができる。

【0034】

また、前記外部からの制御用データに第1の記憶領域の容量を示すデータは含ませるものの、第2の記憶領域の容量を示すデータは含ませないでおき、前記領域定義データ生成手段は第1の領域の容量を示すデータのみに基づいて領域定義データを生成するようにしてもよい。このような構成によれば、予め第1の記憶領域の容量と第2記憶領域の容量との間に適当な相関を設けておくことにより、第1の記憶領域の容量のみを示す制御用データを与えるだけで、第1の記憶容量と第2の記憶容量とを適切に設定することができる。

【0035】

別の一面から見た本発明の半導体集積回路は、サンプル対象となる一連のデータが入力される第1のポートと、所定のトリガ信号が入力される第2のポートと、所定の一次記憶媒体へと接続される第3のポートと、所定の二次記憶媒体へと接続される第4のポートと、サンプルホールドされたデータを読み出すための第5のポートと、第3のポートに接続された一次記憶媒体に第1の記憶領域と第2の記憶領域とを定義する領域定義データを記憶するための領域定義データ記憶手段と、第1のポートから入力される一連のデータを第3のポートに接続された一次記憶媒体の第1の記憶領域にアドレスを循環歩進させながら書き込む動作を、第2のポートからトリガ信号が入力されるまで継続する第1の書き込み制御手段と、第2のポートからトリガ信号が入力されるのを待って、一次記憶媒体の第1の記憶領域へのデータ書き込みを停止する代わりに、トリガ信号の到来以降に到来した一連のデータを一次記憶媒体の第2の記憶領域へと書き込む第2の書き込み制御手段と、第3のポートに接続された一次記憶媒体の第1及び第2の記憶領域に書き込まれたデータを

第4のポートに接続された二次記憶媒体へと転写するデータ転写制御手段と、第4のポートに接続された二次記憶媒体に記憶されたデータを第5のポートへと送り出すための制御を司るデータ読み出し制御手段と、を具備して構成される。

【0036】

このような構成によれば、一次記憶媒体を第3のポートに、二次記憶媒体を第4のポートにそれぞれ接続した状態において、第1のポートにサンプル対象となる一連のデータを、又第2のポートに所定のトリガ信号をそれぞれ与えるだけで、一次記憶媒体には第1及び第2の記憶領域が適切に定義され、さらにトリガ信号の到来と共に、一次記憶媒体の第1の記憶領域にはトリガ信号到来直前一定区間のデータ列が、一次記憶媒体の第2の記憶領域にはトリガ信号到来直後一定区間のデータ列がそれぞれ保存されると共に、それらのデータ列はさらに二次記憶媒体へと転写されることとなる。その後、二次記憶媒体に保存されたこれらのデータ列は、第4のポートから外部へと読み出されることとなる。

【0037】

このとき、一次記憶媒体がDRAM等の高速記憶に適する揮発性記憶媒体であり、かつ二次記憶媒体がフラッシュメモリ、ハードディスク等の不揮発性記憶媒体であれば、記憶速度の高速化と保存データの安全性とを共に満足させることができる。

【0038】

本発明の上記半導体集積回路にあっては、当該半導体集積回路の内部のみならず、外部接続される一次及び二次記憶媒体、並びに、外部接続されて動作クロックを当該半導体集積回路に対して供給する発振器に対しても電源を供給する電源制御部を有するようにしてもよい。このような構成によれば、一次及び二次記憶媒体並びにクロック発振器の側では電源を用意する必要がないので、その分だけ設計の容易化が図られる。このとき、前記電源制御部から供給される電源を停電時に所定時間保持するためのスーパーキャパシタを接続するための外部端子を有するようにすれば、これに適当な容量を有するスーパーキャパシタを外部接続することで、トリガ信号の到来と共に停電が生じたような場合であっても、動作クロック発振器並びに一次及び二次記憶媒体の機能を正常に維持することにより、サンプルホールド処理動作の確実性を保証することができる。例えば、トリガ信号の到来と共に電源が断たれるような事態（例えば、車両のデータロガーとして使用した場合における車両の衝突事故等）が発生したとしても、トリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータを確実に一次記憶媒体にサンプルホールドさせ、さらにそれらのデータを二次記録媒体へと転写して待避させることができる。

【0039】

本発明の上記半導体集積回路においては、制御用データが入力される第6のポートと、前記第6のポートから入力される制御用データに基づいて前記領域定義データを内部生成する領域定義データ生成手段をさらに含むようにしてもよい。このような構成によれば、適当な制御用データを外部から第6のポートに与えることで、様々なサンプリングデータに合わせて適切な記憶領域を容易に設定することができる。

【0040】

このとき、前記外部からの制御用データに第1の記憶領域の容量を示すデータと第2の記憶領域の容量を示すデータとの双方を含ませておき、前記領域定義データ生成手段はそれら2つのデータに基づいて領域定義データを生成するようにしてもよい。このような構成によれば、外部から制御用データを与えることにより、第1の記憶領域の容量と第2の記憶領域の容量とを個別に任意の大きさに設定することができる。

【0041】

また、前記外部からの制御用データに第1の記憶領域の容量を示すデータは含ませるものの、第2の記憶領域の容量を示すデータは含ませないでおき、前記領域定義データ生成手段は第1の領域の容量を示すデータのみに基づいて領域定義データを生成するようにしてもよい。このような構成によれば、予め第1の記憶領域の容量と第2記憶領域の容量との間に適当な相関を設けておくことにより、第1の記憶領域の容量のみを示す制御用データを与えるだけで、第1の記憶容量と第2の記憶容量とを適切に設定することができる。

【0042】

なお、上述の2つの発明において、第1の記憶領域の記憶容量は第2の記憶領域の記憶容量の整数倍（より好ましくは2倍）とすることが好ましい。このようにすれば、フレーム単位に区分された画像データや音声データ等を対象とする場合、第2の記憶領域の容量を例えばフレームの大きさに対応させておくことにより、第1の記憶領域に保存されたデータと第2の記憶領域に保存されたデータとのデータ列同士の照合処理が容易となる。

【発明の効果】**【0043】**

本発明のサンプルホールド方法及び装置によれば、連続的に到来する一連のデータの中で、所定のトリガ信号の到来タイミングの前後それぞれ所定区間内に存在する一連のデータのみを確実にサンプルホールドさせることができる。

【0044】

また、本発明のサンプルホールド方法及び装置によれば、必要とされる記憶媒体の記憶容量を必要最小限に留め、かつトリガ信号の到来タイミング前の所定区間に含まれる一連のデータとトリガ信号の到来タイミング後の所定区間に含まれる一連のデータとを明確に分離してそれぞれを独立して管理することができる。

【0045】

さらに、本発明のサンプルホールド用の半導体集積回路によれば、一次記憶媒体及び／又は二次記憶媒体を所定のポートにそれぞれ接続した状態において、第1のポートにサンプル対象となる一連のデータを、又第2のポートに所定のトリガ信号をそれぞれ与えるだけで、一次記憶媒体には第1及び第2の記憶領域が適切に定義され、さらにトリガ信号の到来と共に、一次記憶媒体の第1の記憶領域にはトリガ信号到来直前一定区間のデータ列が、一次記憶媒体の第2の記憶領域にはトリガ信号到来直後一定区間のデータ列がそれぞれ保存されると共に、それらのデータ列は必要によりさらに二次記憶媒体へと転写されたのち、一次記憶媒体又は二次記憶媒体に保存されたこれらのデータ列は、所定のポートから外部へと読み出し可能となる。

【発明を実施するための最良の形態】**【0046】**

以下に、本発明の好適な実施の一形態を添付図面を参照しつつ詳細に説明する。尚、本発明の技術的範囲は以下の実施の形態により限定されるものではなく、特許請求の範囲の記載によってのみ特定されることは言うまでもない。

【0047】

本発明に係るサンプルホールド装置の構成図が図1に示されている。同図に示されるように、このサンプルホールド装置は、サンプルホールド用に特別に設計された半導体集積回路1と、一次記憶媒体として機能するDRAM2と、二次記録媒体として機能するフラッシュメモリ（FLASH）3と、この半導体集積回路1に対して動作クロックを供給するためのクロック発振器4とを主体として構成されている。

【0048】

半導体集積回路1には複数の外部ポートが設けられている。ポートP11は、サンプル対象となる一連のデータがパラレルに入力されるポートである。図において、符号PDATA（IN）と記されているのがパラレル入力データである。ポートP12は、サンプル対象となる一連のデータがシリアルに入力されるポートである。図において、SDATA（IN）と記されているのがパラレル入力データである。このように、この半導体集積回路1にあっては、サンプル対象となる一連のデータを、パラレルデータとシリアルデータとの何れにおいても入力可能となされている。

【0049】

ポートP2は、所定のトリガ信号が入力されるポートである。図においてTRGと記されているのがトリガ信号である。後に詳細に説明するように、この半導体集積回路1にあっては、ポートP11又はポートP12の何れから入力された一連のサンプル対象データ列の中で、トリガ信号TRGの到来前後一定期間内に存在するデータ列のみをサンプル

ホールド可能となされている。

【0050】

ポート P 3 は、一次記憶媒体である D R A M 2 を接続するためのポートである。後に詳細に説明するように、サンプルホールド処理が実行される結果、トリガ信号 T R G の到来前後一定期間内に存在するデータ列は、まず、この一次記憶媒体である D R A M 2 に格納される。尚、この D R A M 2 に対する電源 P W 2 は半導体集積回路 1 から供給される。

【0051】

ポート P 4 は、二次記憶媒体であるフラッシュメモリ (F L A S H) 3 を接続するためのポートである。後に詳細に説明するように、D R A M 2 に格納されたサンプルホールドデータは、サンプルホールド処理の完了と共に、このフラッシュメモリ (F L A S H) 3 に転写保存される。尚、このフラッシュメモリ (F L A S H) 3 の電源 P W 3 についても半導体集積回路 1 から供給される。

【0052】

ポート P 5 は、ホールドデータを外部へと読み出すためのポートである。図において、H-DATA (O U T) と記されているのが読み出されたサンプルホールドデータである。この実施形態にあつては、サンプルホールドデータ H-DATA (O U T) はフラッシュメモリ (F L A S H) 3 から読み出され、ポート P 5 から外部へと出力される。

【0053】

ポート P 6 は、パソコン (P C) から半導体集積回路 1 に対して制御データ等を送り込むためのポートである。この実施形態にあつては、パソコン (P C) との通信方式として U S B が利用されているが、通信方式等はこれに限定されるものではない。

【0054】

ポート P 7 は、クロック発振器 4 で生成される動作クロック C L K 0 を半導体集積回路 1 に対して供給するためのポートである。すなわち、半導体集積回路 1 は後に詳細に説明するように、クロック同期型のワイヤドロジック回路で構成されており、その動作に必要とされる動作クロック C L K 0 がポート P 7 を介してクロック発振器 4 から供給される。尚、クロック発振器 4 に対する電源 P W 4 についても、半導体集積回路 1 側から供給される。

【0055】

次に、代表的な外部端子について説明する。外部端子 T 1 は電源 V D D を半導体集積回路 1 に供給するための端子である。外部端子 T 1 から供給された電源 V D D は、半導体集積回路 1 の内部の電源制御部 1 8 0 に供給される。電源制御部 1 8 0 では、こうして得られた電源 V D D を基に、電圧安定化並びに電圧調整を行うことによって、4 系統の電源 P W 1 ~ P W 4 を出力する。そのうち電源 P W 1 は半導体集積回路 1 の内部の各回路に供給される。電源 P W 2 は先に説明したようにポート P 3 に接続された D R A M 2 へと供給される。電源 P W 3 は先に説明したようにポート P 4 に接続されたフラッシュメモリ (F L A S H) 3 へと供給される。電源 P W 4 は先に説明したようにポート P 7 に接続されたクロック発振器 4 へと供給される。外部端子 T 2, T 3 はスーパーキャパシタ 5 を外部接続するための端子である。このスーパーキャパシタ 5 に蓄えられた電荷は、電源制御部 1 8 0 から出力される 4 系統の電源 P W 1 ~ P W 4 を停電時に所定時間保持するために利用される。この例にあつては、トリガ信号 T R G が到来した後、直ちに電源 V D D が断たれたとしても、少なくとも、サンプルホールド動作並びに転写動作が完了するまでの間は、電源 P W 1 ~ P W 4 が正常に保持されるように、スーパーキャパシタ 5 の容量が決定されている。

【0056】

次に、半導体集積回路 1 の内部構成を詳細に説明する。この半導体集積回路 1 の内部には、メモリ制御部 1 1 0 と、制御用 C P U 1 2 0 と、ヘッダ付加制御部 1 3 0 と、データビット制御部 1 4 0 と、シリアル／パラレル変換部 1 5 0 と、シリアル／パラレル切替制御部 1 6 0 と、O R ゲート 1 7 0 と、電源制御部 1 8 0 (先に説明済) とが含まれる他、先ほど説明した各ポート P 1 2, P 1 1, P 2 ~ P 7 に対応して、インタフェース回路 1

01～105が含まれている。

【0057】

メモリ制御部110は、ポートP11からのパラレル入力データP-DATA (IN) 又はポートP12からのシリアル入力データS-DATA (IN) をDRAM2の第1及び第2の記憶領域（詳細は後述）へとDMA転送するための制御機能、DRAM2の第1及び第2の記憶領域に格納されたデータをフラッシュメモリ (FLASH) 3の所定領域にDMA転送（転写）するための制御機能、フラッシュメモリ (FLASH) 3の所定領域に格納されたデータをポートP5から外部へと読み出すための制御機能等を実現するクロック同期型のワイヤドロジック回路で構成されている。このメモリ制御部110内には、DMAコントローラ (DMAC) 110aとフラッシュメモリ (FLASH) 110bとが内蔵されている。DMAコントローラ (DMAC) 110aは上述の各種のデータ転送機能に利用される。フラッシュメモリ110bには、DRAM2内の第1及び第2の記憶領域を定義するための領域定義データや、フラッシュメモリ (FLASH) 3内の記憶領域を定義するための領域定義データ等が格納される。これらの記憶領域定義データは、後に詳細に説明するように、制御用CPU120を介して、外部のパソコン (PC) から書き換え可能となされている。これにより、この半導体集積回路1は、任意のデータ列並びにサンプルホールド仕様に対応が可能な汎用性が付与されている。尚、メモリ制御部110の機能については、後に図5及び図6のフローチャートを参照してより詳細に説明する。

【0058】

制御用CPU120はマイクロプロセッサを主体として構成されており、(1) ポートP6に接続されたパソコン (PC) との間でUSBインタフェース105を介して通信を行いつつ、ユーザからの入力データに基づいて各種の設定処理を実行する機能、(2) メモリ制御部110、ヘッダ付加制御部130、データビット制御部140を統括管理することによって、各種のシステムサポート処理を実行する機能等を司るものである。この制御用CPU120の内部にはフラッシュメモリ (FLASH) 120aが内蔵されている。このフラッシュメモリ (FLASH) 120aには、パソコン (PC) を介してユーザから取り込まれた各種のデータが格納される。尚、この制御用CPU120の機能については、後に図2及び図3のフローチャートを参照して詳細に説明する。

【0059】

ヘッダ付加制御部130は、ポートP11から供給されるパラレル入力データP-DATA (IN) 又はポートP12から供給されるシリアル入力データS-DATA (IN) の各データに対してヘッダ情報を付加するためのワイヤドロジック回路で構成されている。ここで付加されるヘッダ情報には、到来する一連のデータの順番を示す数値情報が少なくとも含まれている。この数値情報は、所定の最小値と最大値との間で循環して付加されるようになっており、後にサンプルホールドデータを読み出して整頓する処理は、このデータ順番を示す数値情報に基づいて行われる。

【0060】

データビット制御部140は、制御用CPU120の管理下にあつて、ヘッダ付加制御部130、シリアル／パラレル変換部150、パラレルインタフェース101、シリアルインタフェース102に対するデータビット制御を実現する。これらのデータビット制御が実現されることによって、ヘッダ付加制御部130においてはヘッダ情報の付加が指定されたビットに対して行われ、シリアル／パラレル変換部150においてはデータビット列についてシリアル／パラレル変換が適切に行われ、インタフェース101、102においては入力データビットの認識が適切に行われる。

【0061】

シリアル／パラレル変換部150は、ポートP12に供給され且つシリアルインタフェース102を介して取り込まれたシリアル入力データS-DATA (IN) をパラレルデータに変換する回路であり、こうして得られたパラレルデータはORゲート170を介して先ほど説明したヘッダ付加制御部130へと供給される。

【0062】

シリアル／パラレル切替制御部160は、データビット制御部140の制御下にあつて、パラレルインタフェース101とシリアルインタフェース102との何れかを択一的に能動化する回路である。このシリアル／パラレル切替制御部160が適切に機能することによって、この半導体集積回路1が取り扱う入力データをシリアル又はパラレルの何れにも設定することが可能となる。

【0063】

クロック制御部190は、ポートP7を介してクロック発振器4から供給される動作クロックと、パラレルインタフェース101から取り込まれたクロックCLK(P)と、シリアルインタフェース102から取り込まれたクロックCLK(S)とに基づいて、n系統の制御用クロックCLK1～nを生成出力する。こうして得られた制御クロックCLK1～nは、半導体集積回路1内の各回路に必要なに応じて供給され、クロック同期型ワイヤドロジック回路の正常な動作に寄与することとなる。このクロック制御部190内にはフェーズロックドループ回路(PLL)190aが内蔵されている。このフェーズロックドループ回路(PLL)190aは各種クロック間の同期を取ったり、あるいは周波数合成作用に寄与するものである。

【0064】

次に、図2及び図3のフローチャートを参照して制御用CPU120の機能についてより詳細に説明する。先に説明したように、制御用CPU120はシステムサポート処理と各種設定処理とを主として実行するように仕組まれている。

【0065】

制御用CPUの動作を示すゼネラルフローチャートが図2に示されている。同図において、電源投入(Power on)によって処理が開始されると、USBインタフェース105を介してポートP6に接続されたパソコン(PC)と通信を行い、パソコン(PC)から送られてきた情報を受信し、これをフラッシュメモリ120aに格納する(ステップ201)。この情報の中には、動作モードフラグの制御情報も含まれており、これにより、パソコン(PC)の側から制御用CPU120の動作モードを切替可能となされている。この受信処理(ステップ201)に続いて動作モード判定処理が実行され(ステップ202)、ここで動作モードが設定モードと判定されれば各種設定処理(ステップ203)が実行されるのに対し、運用モードと判定されればシステムサポート処理(ステップ204)が実行される。各種設定処理(ステップ203)においては、サンプル対象データの到来速度、データフォーマット、トリガ前ホールド期間、トリガ後ホールド期間、その他各種のサンプルホールド仕様に応じた設定処理が実行される。後に詳細に説明するように、この各種設定処理(ステップ203)には、第1の記憶領域及び第2の記憶領域に関する領域定義データ生成処理も含まれている。一方、システムサポート処理(ステップ204)では、先に説明したように、メモリ制御部110、ヘッダ付加制御部130、データビット制御部140を統括管理することによって、半導体集積回路1内のシステムをサポートする処理が実行される。

【0066】

各種設定処理(ステップ203)の詳細フローチャートが図3に示されている。このフローチャートは、各種設定処理の中で、記憶領域定義データの生成処理だけを取り出して示すものである。同図において処理が開始されると、パソコン(PC)からの受信データの中から命令語が読み出され、その解釈が行われる(ステップ301)。ここで、解釈された命令が記憶領域定義命令であると判定された場合に限り(ステップ302YES)、以下の処理が実行されるのに対し、その他の命令であると判定された場合には(ステップ302NO)、それぞれ該当する命令の処理が実行される。

【0067】

記憶領域定義命令であると判定されると(ステップ302YES)、続いて指定方法の種別が判定される。この実施形態にあつては、トリガタイミングの前後所定区間に存在するデータ列をサンプルホールドするについて、前側及び後側の双方の区間を個別に指定し

て記憶領域を定義する場合と、前側区間のみについて指定し、後側区間については予め設定されたアルゴリズムに従って、システムが自動的に設定する場合の、2つの指定方法を選択可能となされている。ここで、両側指定と判定されると（ステップ303）、続いて使用データの種別の判定が行われる（ステップ304）。この例にあっては、トリガタイミングの前側区間並びに後側区間のデータ列をサンプルするについて、これを『時間』で指定する場合と『データ数』で指定する場合との選択を可能としている。ここで、使用データの種別が『時間』と判定されると、時間からデータ数への変換処理が行われるのに対し（ステップ305）、使用データ種別が『データ数』と判定されれば、使用データはそのままの状態とされる。続いて、こうして得られた前側データ数に基づいてDRAM2内に第1の記憶領域が定義される（ステップ306）。この第1の記憶領域の定義は、図4に示されるように、第1の記憶領域401の先頭アドレスAD11と末尾アドレスAD12とを算出することにより行われる。続いて、後側データ数に基づいてDRAM2内の第2の記憶領域が定義される。この第2の記憶領域の定義は、図4に示されるように、DRAM2内の第2の記憶領域402の先頭アドレスAD21と末尾アドレスAD22とを求めることにより行われる。以上の処理（ステップ306, 307）で得られた記憶領域定義データ（AD11, AD12, AD21, AD22）はメモリ制御部110へと送られ、メモリ制御部110内のフラッシュメモリ110bに保存される。以後、メモリ制御部110では、フラッシュメモリ110b内に格納された記憶領域定義データ（AD11, AD12, AD21, AD22）を適宜参照することにより、データ入力ポートP11, P12からDRAM2へのデータ転送処理、DRAM2からフラッシュメモリ（FLASH）3へのデータ転送処理、フラッシュメモリ（FLASH）3からデータ出力ポートP5へのデータ転送処理を実行することとなる。

【0068】

次に、メモリ制御部110の動作について説明する。メモリ制御部の動作を示すゼネラルフローチャートが図5に示されている。同図において、処理が開始されると、制御用CPU120からサンプルホールド指示が与えられたか（ステップ501）、読出指示が与えられたか（ステップ502）の判定が行われ、サンプルホールド指示が与えられた場合には（ステップ501YES）、サンプルホールド処理（ステップ503）が実行されるのに対し、読出指示が与えられた場合には（ステップ502YES）、ホールドデータ読出処理（ステップ504）が実行される。このホールドデータ読出処理（ステップ504）では、フラッシュメモリ3に格納されたホールドデータH-DATA（OUT）は、データ出力ポートP5へと転送される。

【0069】

サンプルホールド処理の詳細フローチャートが図6に示されている。同図において処理が開始されると、まずフォーマッティング処理が実行されて、DRAM2及びフラッシュメモリ（FLASH）3に対するフォーマッティングが行われる（ステップ601）。

【0070】

続いて、DMAコントローラ（DMAC）110aに対して、第1の記憶領域の先頭アドレスAD11及び末尾アドレスAD12をセットした後、当該DMAコントローラ（DMAC）110aを起動することによって（ステップ603）、ヘッダ付加制御部130から取り込まれるデータ列をDRAM2内の第1の記憶領域401へとDMA転送する処理が開始される。このとき、S/P切替制御部160の作用によって、パラレルポートP11が選択されていれば、パラレル入力データP-DATA（IN）がDRAM2内の第1の記憶領域401へと転送される。逆に、シリアル入力ポートP12が選択されていれば、シリアル入力データS-DATA（IN）がDRAM2内の第1の記憶領域401へと転送される。このようにして、パラレル入力ポートP11又はシリアル入力ポートP12から到来する一連のデータ列は、図4に示される第1の記憶領域401の先頭アドレスAD11から末尾アドレスAD12へ向けて順次書き込まれていく。一方、DMA転送処理の実行中、トリガ信号TRGの到来（ステップ604）及び転送アドレスADと末尾アドレスAD12との一致（ステップ605）の確認が常時行われており、転送アドレスA

Dが第1記憶領域401の末尾アドレスAD12と一致するたびに（ステップ605YES）、DMAコントローラ（DMAC）110aの再起動が実行される（ステップ603）。その結果、第1の記憶領域401に対して、先頭アドレスAD11から末尾アドレスAD12までのデータ書き込みが一巡すると、再び書込アドレスは先頭アドレスAD11へ戻って第1の記憶領域401に対する上書き処理が繰り返し実行されることとなる。すなわち、データ入力ポートP11又はP12から到来するデータ列は、メモリ制御部110の作用によって、DRAM2内に定義された第1の記憶領域401に対して、書込アドレスADを循環歩進させつつ、書き込まれていき、いわゆるFIFO（First In First Out）処理がなされることとなる。

【0071】

この状態において、ポートP2に対してトリガ信号TRGが到来して、トリガ到来が確認されると（ステップ604YES）、DMAコントローラ（DMAC）110aに第2の記憶領域402の先頭アドレスAD21及び末尾アドレスAD22をセットした後（ステップ606）、当該DMAコントローラ（DMAC）110aに対して起動をかけることによって（ステップ607）、第2の記憶領域402に対するDMA転送処理が開始される。これにより、データ入力ポートP11又はP12へと供給されるデータ列は、ヘッダ付加制御部130を経由した後、DRAM2内の第2の記憶領域402へと転送記憶される。以後、転送先アドレスADが第2の記憶領域402の末尾アドレスAD22と一致すると（ステップ608YES）、DRAM2内の第2の記憶領域402への転送処理は終了する。

【0072】

こうして、第1の記憶領域401には、トリガ信号TRGの到来前所定区間の一連のデータが格納されるのに対し、第2の記憶領域402には、トリガ信号TRGの到来後所定区間内のデータが格納されることとなる。

【0073】

続いて、DRAM2内の第1の記憶領域401及び第2の記憶領域402に格納されたトリガ到来前後所定区間の一連のデータは、フラッシュメモリ（FLASH）3内の所定エリアへと転送（転写）されて、待避保存される。以後、電源が断たれたとしても、フラッシュメモリ（FLASH）3内の一連のデータは確実に保存される。

【0074】

その後、図5に戻って、パソコン（PC）等から読出指示が与えられれば（ステップ502YES）、ホールドデータ読出処理（ステップ504）が実行されて、フラッシュメモリ3内の所定のエリアに格納されたホールドデータH-DATA（OUT）は、出力ポートP5から外部へと読み出される。

【0075】

また、この実施形態においては、外部端子T2、T3間にはスーパーキャパシタ5が接続されているため、外部端子T1に供給された電源VDDが断たれたとしても、電源制御部から出力される4系統の電源PW1～PW4は、少なくともトリガ信号が到来した後、第2の記憶領域402へのデータ書込及びDRAM2からフラッシュメモリ（FLASH）3へのデータ転写が完了するまで、正常に保持されるため、このサンプルホールド装置が例えば車両の事故記録装置等として採用されたような場合であっても、事故によりトリガが発生して同時に電源が断たれたとしても、事故時の各種データをトリガの前後所定期間にわたってサンプルホールドし、これをフラッシュメモリ3内へと転送保存して、事故の原因究明に役立たせることが可能となる。

【0076】

図7には本発明の作用説明図が示されている。いま仮に、同図（a）に示されるように、任意のアナログデータが時系列的に到来しているものと想定する。このとき同図（b）に示されるように、例えば入力データの値が所定の閾値THを越えたことによりトリガ信号が生成されると、同図（c）に示されるように、トリガ信号の到来直前T1秒及びトリガ直後T2秒の区間に存在するデータ列のみが、同図（c）に示されるようにサンプルホ

ールドされる。尚、この例では、 $T1 = 2 \times T2$ の関係に設定されている。そのため、車両の事故記録装置等として採用すれば、事故と同時にエアバッグ起動信号によりトリガ信号を発生し、サンプルホールド装置を起動させれば、事故前 $T1$ 秒及び事故後 $T2$ 秒に関する一連のデータをサンプルホールドしてフラッシュメモリ (FLASH) 3 に保存できるため、同装置を比較的堅牢なケースに収容しておけば、事故後にフラッシュメモリ (FLASH) 3 の保存データを読み出すことによって、事故原因の究明に役立たせることができる。

【0077】

尚、以上の実施形態においては、二次記憶媒体としてフラッシュメモリ (FLASH) 3 を設けることによって、サンプルホールドデータの保存確実性を担保するようにしたが、例えばスーパーキャパシタ 5 の容量を増加させ、DRAM2 の記憶データを例えば 1 週間～1 ヶ月程度保持可能とすれば、必ずしも二次記憶媒体を設ける必要はない。その場合には、図 6 に示されるサンプルホールド処理の詳細フローチャートにおいて、DRAM2 からフラッシュメモリ (FLASH) 3 に対する転写処理 (ステップ 609) を省略することができる。

【0078】

以上説明したように、この実施形態によれば、ポート P11 又は P12 にサンプル対象となるデータ列を、ポート P2 にトリガ信号を、ポート P3 に DRAM2 を、ポート P4 にフラッシュメモリ (FLASH) 3 を、ポート P7 にクロック発振器 4 をそれぞれ接続しておくだけで、トリガ信号 TRG の到来と共に、その前後所定区間内に存在する一連のデータ列のみを DRAM2 内の第 1 の記憶領域 401 及び第 2 の記憶領域 402 へとサンプルホールドすると共に、その内容を直ちにフラッシュメモリ (FLASH) 3 へと待避させることができる。然る後、パソコン (PC) から読出指令を与えれば、フラッシュメモリ (FLASH) 3 に格納されたサンプルホールドデータは、メモリ制御部 110 の作用によってポート P5 へと読み出すことができる。このとき読み出される各データには、ヘッダ付加制御部 130 の作用によってヘッダ情報が含まれると共に、そのヘッダ情報の中にはデータの順番を示す数値が付加されているため、この数値に基づいて読み出されたサンプルホールドデータを時系列的に容易に並べ替えることができる。

【0079】

また、DRAM2、フラッシュメモリ (FLASH) 3 及びクロック発振器 4 は何れも半導体集積回路 1 内の電源制御部 180 から給電されると共に、電源制御部 180 には電源 PW1～PW4 を停電後一定時間保持するためのスーパーキャパシタ 5 が接続されているため、このサンプルホールド装置を例えば車両の事故記録装置等に応用した場合であっても、仮に事故によりトリガ信号を発生させてサンプルホールド処理を起動した後、電源 VDD が断たれるような事態が発生しても、DRAM2、フラッシュメモリ (FLASH) 3 及びクロック発振器 4 は何れも正常に維持されるため、予定されたサンプルホールド動作を確実に実行させることができる。

【0080】

しかも、半導体集積回路 1 内にはマイクロプロセッサを含む制御 CPU120 を内蔵して、パソコン (PC) との通信を可能としているため、入力ポート (P11, P12) の切替、データビット数の設定、記憶領域の設定等の各種の設定を、パソコン (PC) からの入力データに基づいて、容易に行うことができ、極めて汎用性の高い半導体集積回路を実現することができる。

【0081】

殊に、この実施形態にあつては、図 3 に示されるように、制御用データが入力されるポート P6 と、ポート P6 から入力される制御用データに基づいて領域定義データを内部生成する領域定義データ生成手段としての制御用 CPU120 を有することから、適当な制御用データを外部から第 6 のポートに与えることで、様々なサンプリングデータに合わせて適切な記憶領域を容易に設定することができる。

【0082】

すなわち、外部からの制御用データに第1の記憶領域の容量を示すデータと第2の記憶領域の容量を示すデータとの双方を含ませおき、前記領域定義データ生成手段はそれら2つのデータに基づいて領域定義データを生成するようにすれば（ステップ303「両側」）、外部から制御用データを与えることにより、第1の記憶領域の容量と第2の記憶領域の容量とを個別に任意の大きさに設定することができる。一方、外部からの制御用データに第1の記憶領域の容量を示すデータは含ませるものの、第2の記憶領域の容量を示すデータは含ませないでおき、前記領域定義データ生成手段は第1の領域の容量を示すデータのみに基づいて領域定義データを生成するようにすれば（ステップ303「前側」）、予め第1の記憶領域の容量と第2記憶領域の容量との間に適当な相関を設けておくことにより、第1の記憶領域の容量のみを示す制御用データを与えるだけで、第1の記憶容量と第2の記憶容量とを適切に設定することができる。さらに、使用データの種別としても、「時間」と「データ数」とを選択的に使用できるので、分析対象データの種類に応じて適切な使用データを選択させることができる。

【0083】

なお、図4において、第1の記憶領域401と第2の記憶領域402との容量関係については、第1の記憶領域401の記憶容量は第2の記憶領域402の記憶容量の整数倍（より好ましくは2倍）とすることが好ましい。このようにすれば、フレーム単位に区分された画像データや音声データ等を対象とする場合、第2の記憶領域の容量を例えばフレームの大きさに対応させておくことにより、第1の記憶領域に保存されたデータと第2の記憶領域に保存されたデータとのデータ列同士の照合処理が容易となる。

【図面の簡単な説明】

【0084】

【図1】 本発明に係るサンプルホールド装置の構成図である。

【図2】 制御用CPUの動作を示すゼネラルフローチャートである。

【図3】 各種設定処理の詳細フローチャートである。

【図4】 一次記憶媒体のメモリマップ並びに記憶データフォーマットを示す説明図である。

【図5】 メモリ制御部の動作を示すゼネラルフローチャートである。

【図6】 サンプルホールド処理の詳細フローチャートである。

【図7】 本発明の作用説明図である。

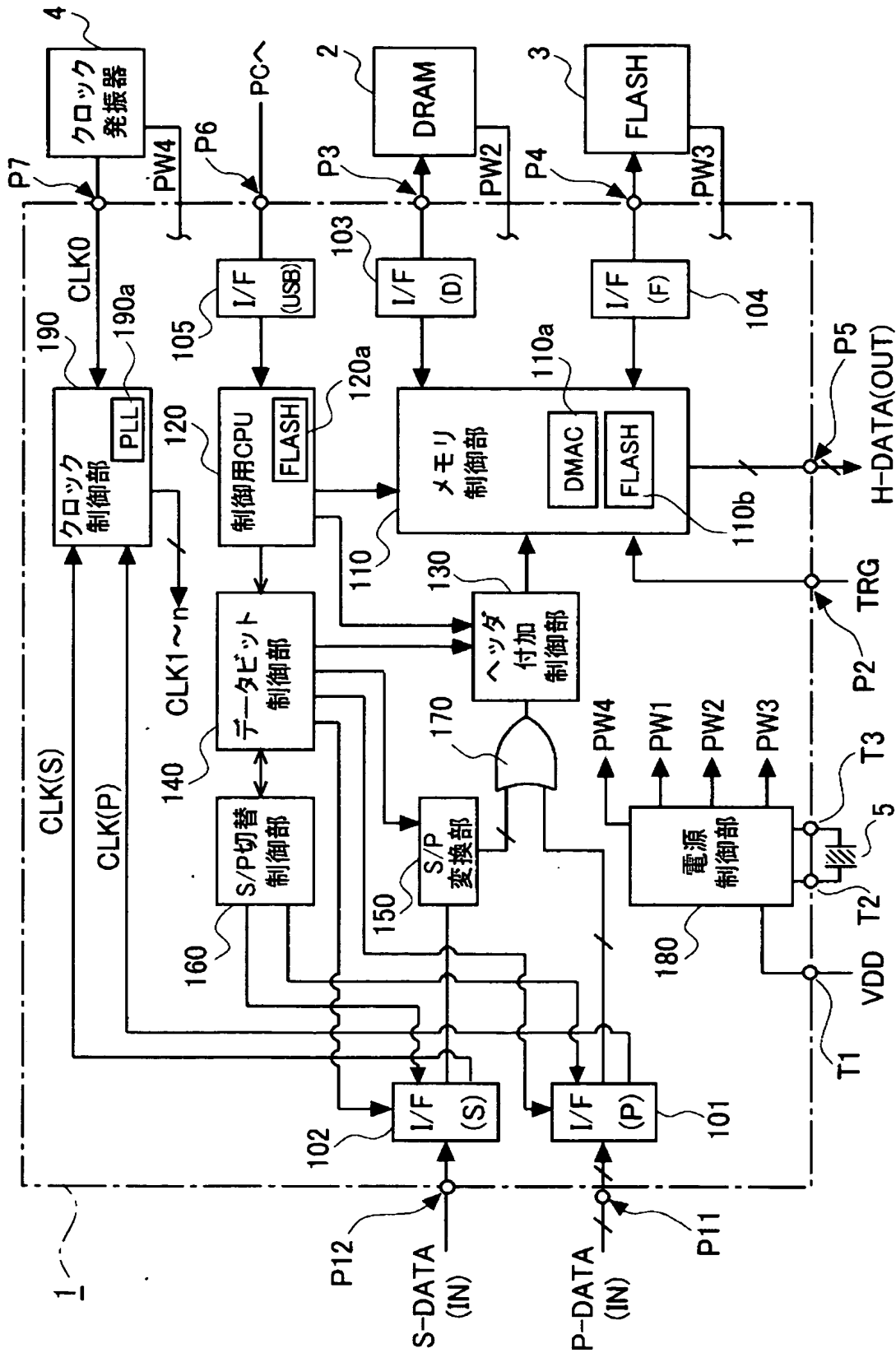
【符号の説明】

【0085】

- 1 半導体集積回路
- 2 DRAM
- 3 フラッシュメモリ (FLASH)
- 4 クロック発振器
- 5 スーパーキャパシタ
- 101～105 インタフェース
- 110 メモリ制御部
- 110a DAMコントローラ (DAMC)
- 110b フラッシュメモリ (FLASH)
- 120 制御用CPU
- 120a フラッシュメモリ (FLASH)
- 130 ヘッダ付加制御部
- 140 データビット制御部
- 150 シリアル／パラレル変換部
- 160 シリアル／パラレル切替制御部
- 170 ORゲート
- 180 電源制御部
- 401 第1の記憶領域

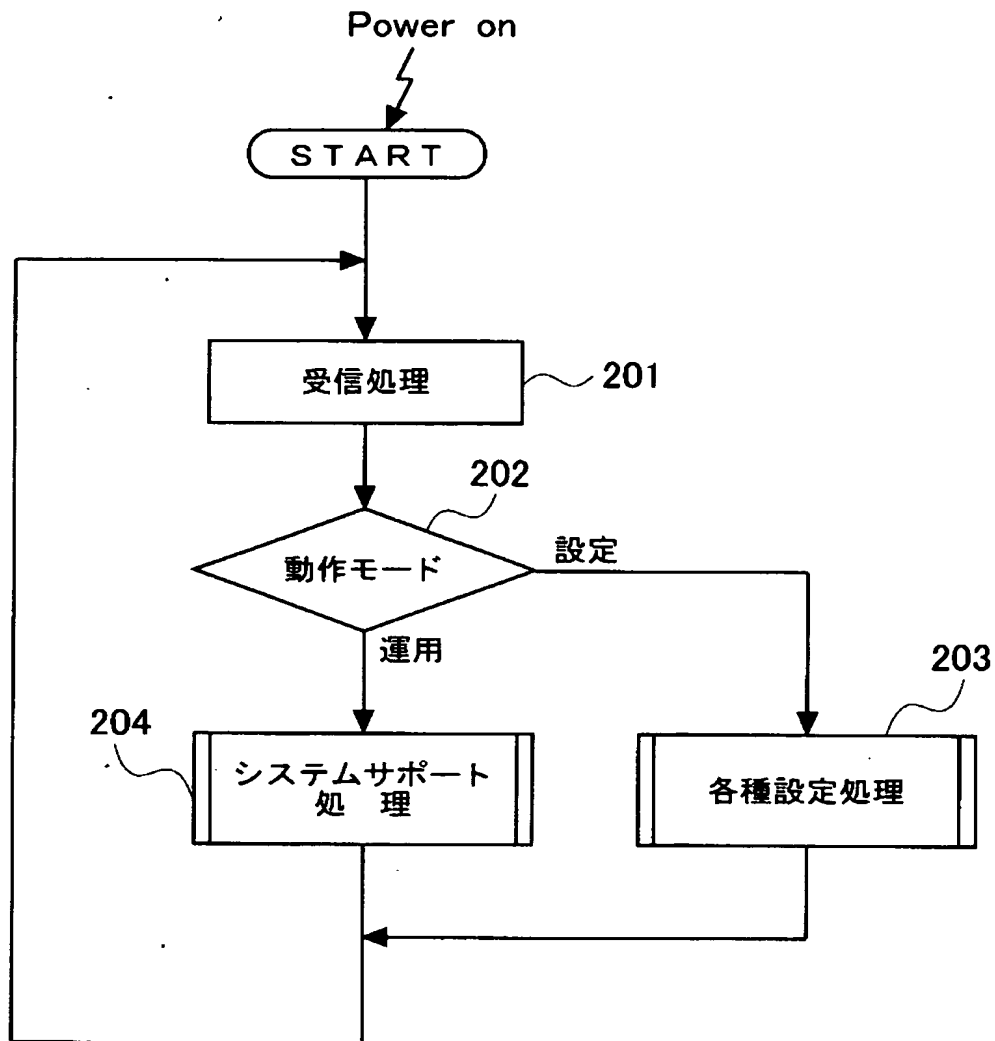
4 0 2 第 2 の記憶領域
4 0 3 データ部分
4 0 4 ヘッダ部分
CLK 0 動作クロック
CLK 1 ~ n 制御用クロック
H-DATA (OUT) サンプルホールドデータ
P 1 1, P 1 2, P 2 ~ P 7 ポート
PW 1 本体用電源
PW 2 DRAM用電源
PW 3 フラッシュメモリ (FLASH) 用電源
PW 4 発振器用電源
P-DATA (IN) パラレル入力データ
S-DATA (IN) シリアル入力データ
T 1 電源VDD用外部端子
T 2, T 3 スーパーキャパシタ用外部端子
TRG トリガ信号

【書類名】 図面
【図 1】

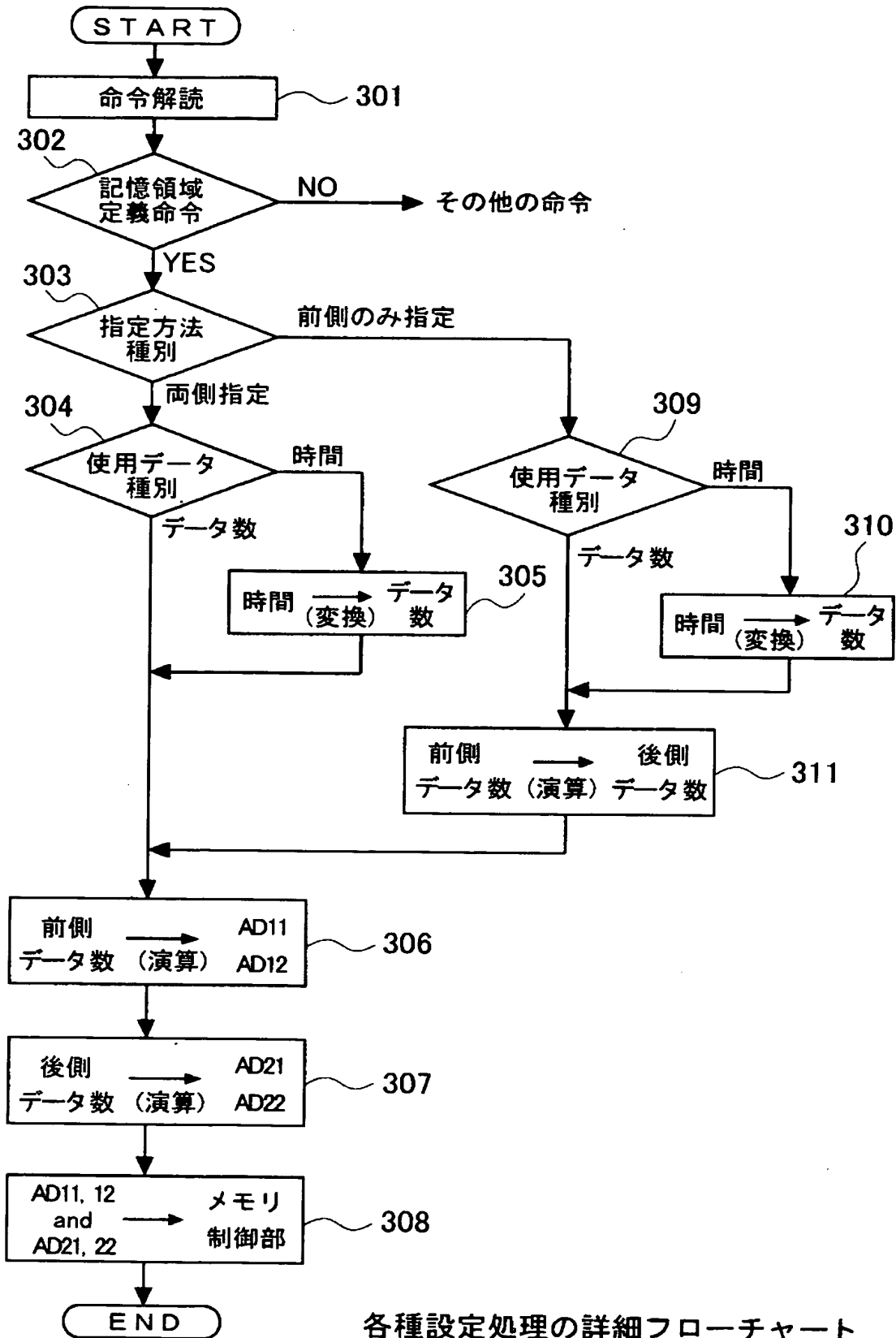


本発明に係るサンプルホールド装置の構成図

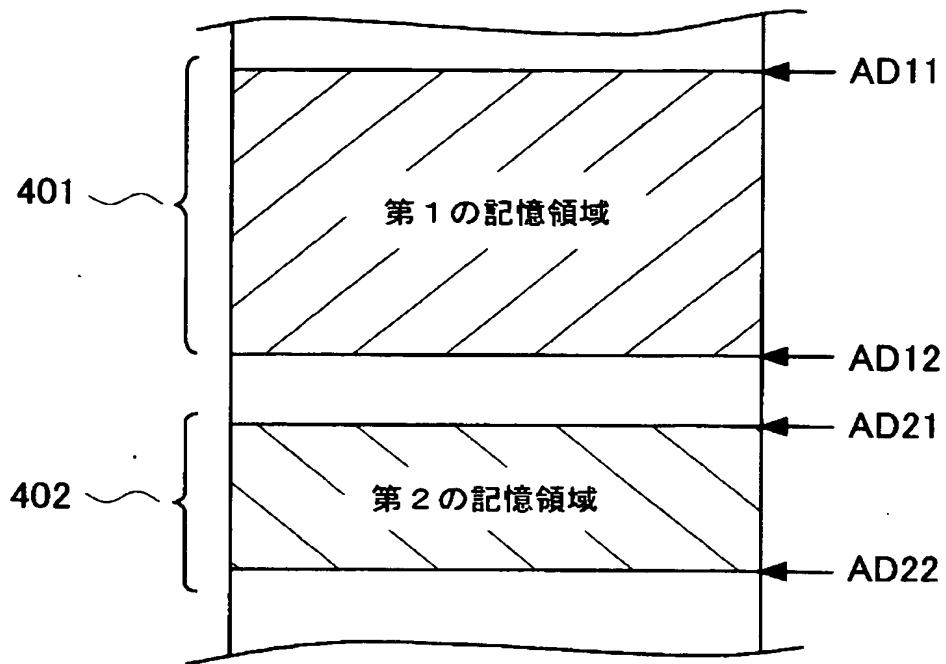
【図 2】

制御用CPUの動作を示すゼネラルフローチャート

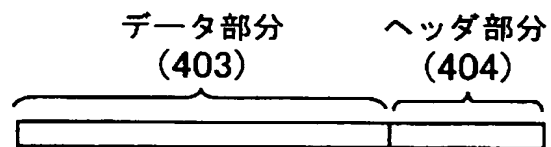
【図 3】



【図 4】



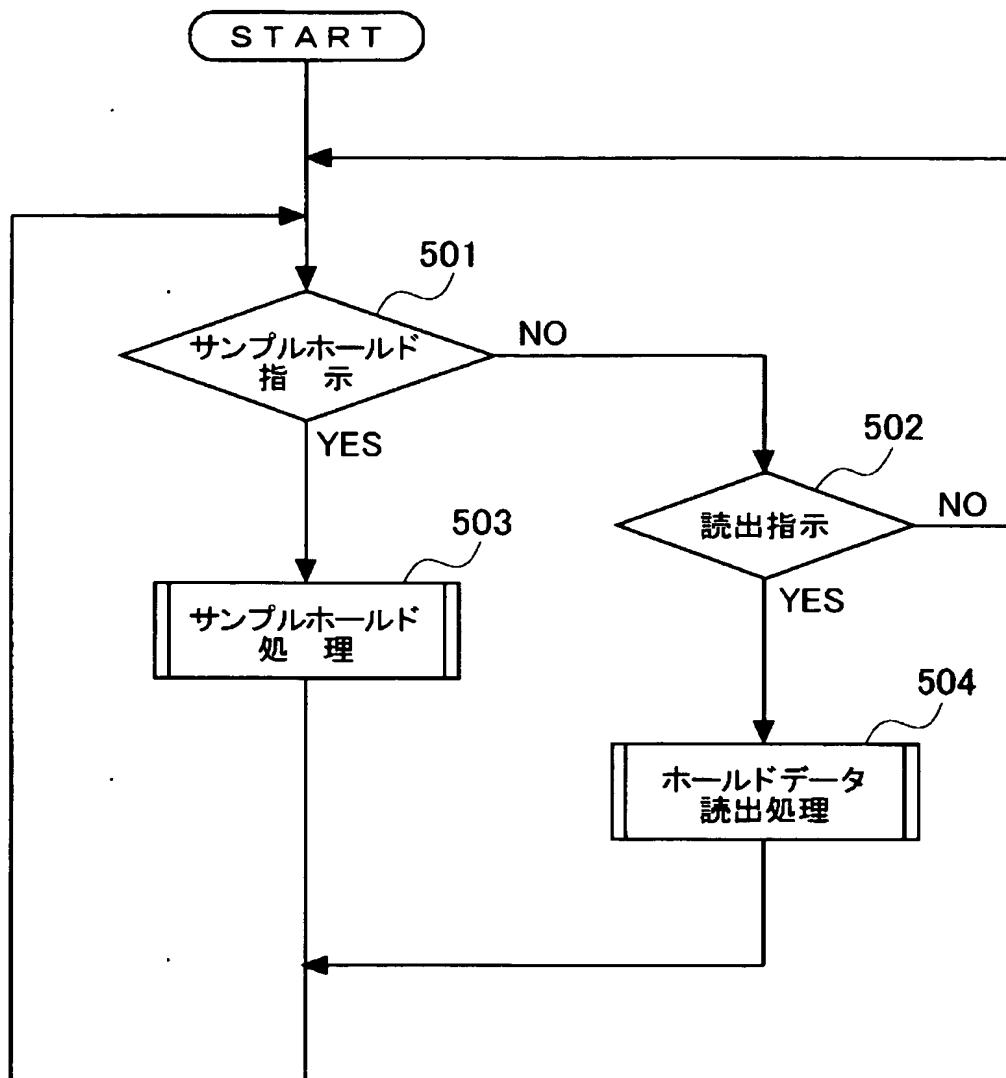
(a)



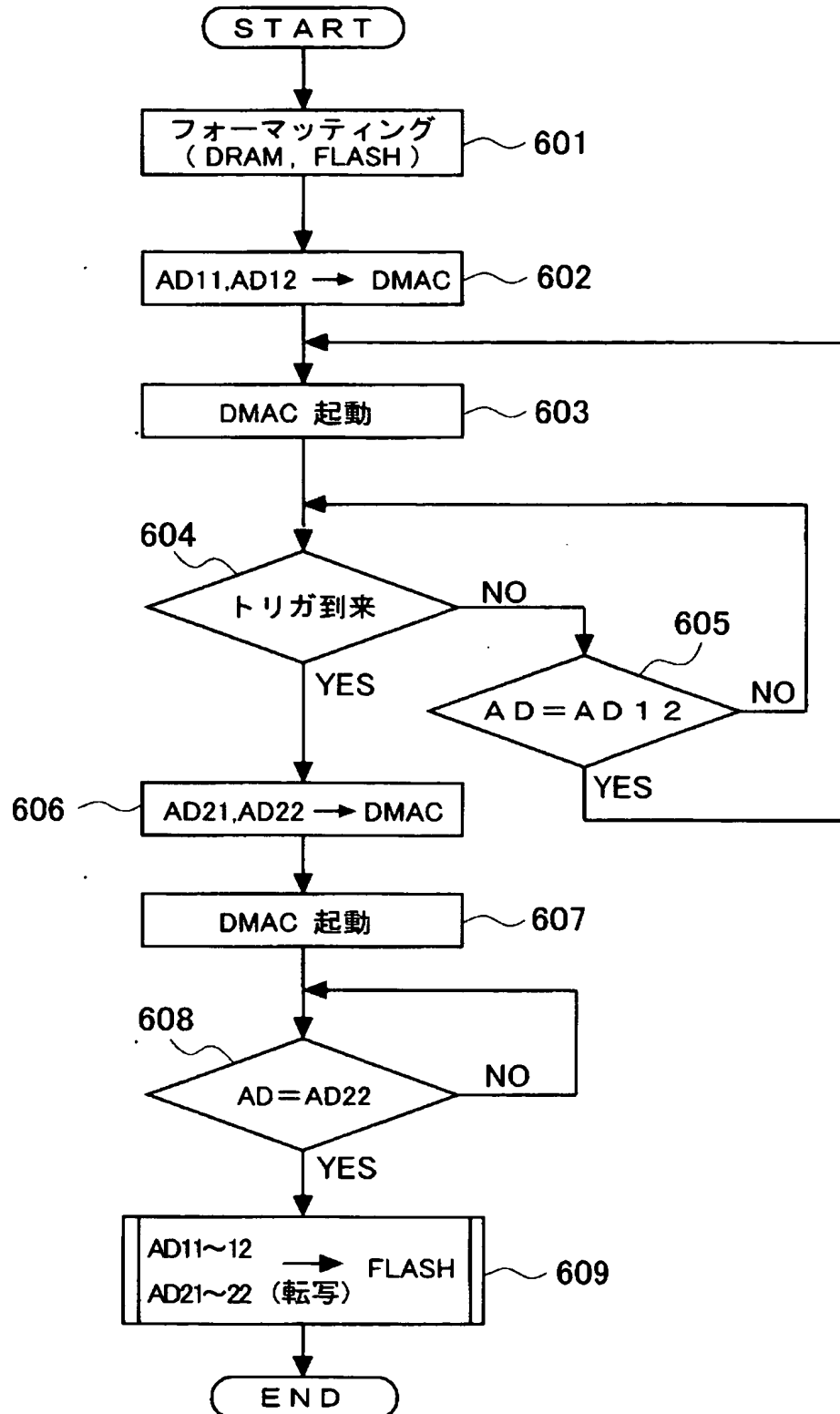
(b)

一次記憶媒体のメモリマップ並びに
記憶データのフォーマットを示す説明図

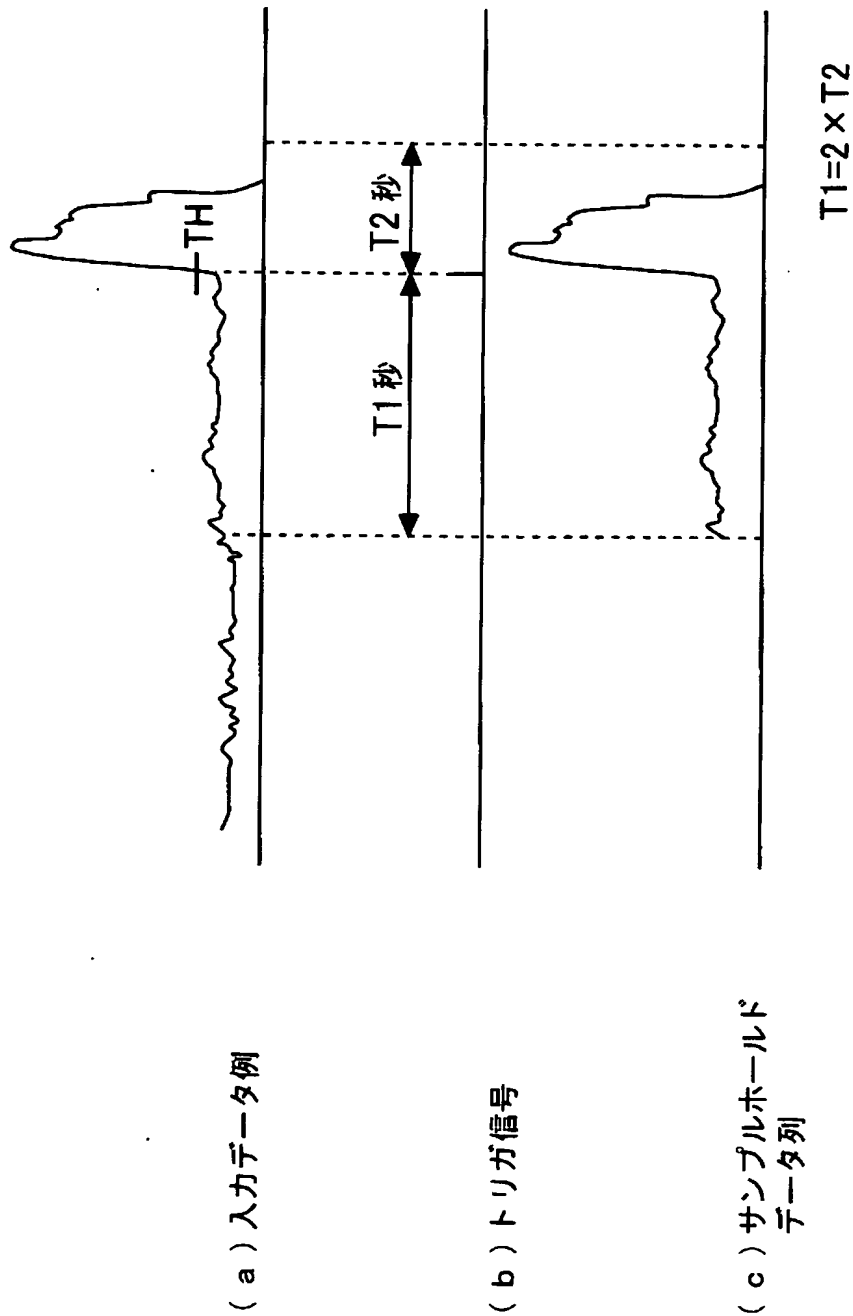
【図 5】

メモリ制御部の動作を示すゼネラルフローチャート

【図 6】

サンプルホールド処理の詳細フローチャート

【図 7】



本発明の作用説明図

【書類名】 要約書**【要約】**

【課題】 必要とされる記憶媒体の記憶容量を必要最小限に留め、かつトリガ信号の到来タイミング前の所定区間に含まれる一連のデータとトリガ信号の到来タイミング後の所定区間に含まれる一連のデータとを明確に分離してそれぞれを独立して管理できるサンプルホールド方法を提供する。

【解決手段】 一次記憶媒体と、前記一次記憶媒体に前記前側区間に対応する第1の記憶領域と前記後側区間に対応する第2の記憶領域とを定義するための領域定義データを記憶するための領域定義データ記憶手段と、到来する一連のデータを前記領域定義データにより定義される前記第1の記憶領域にアドレスを循環歩進させながら書き込む動作を前記トリガ信号が到来するまで継続する第1の書き込み制御手段と、前記トリガ信号が到来するのを待って、前記第1の記憶領域へのデータ書き込みを停止する代わりに、前記トリガ信号の到来以降に到来した一連のデータを前記領域定義データにより定義される前記第2の記憶領域へと書き込む第2の書き込み制御手段と、を具備する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 0 1 7 2 8
受付番号	5 0 3 0 1 4 0 8 7 3 3
書類名	特許願
担当官	第四担当上席 0 0 9 3
作成日	平成 1 5 年 9 月 2 日

< 認定情報・付加情報 >

【提出日】 平成15年 8月26日



特願 2 0 0 3 - 3 0 1 7 2 8

出 願 人 履 歴 情 報

識別番号

[3 0 3 0 3 8 1 4 6]

1. 変更年月日

2 0 0 3 年 7 月 4 日

[変更理由]

新規登録

住 所

神奈川県横浜市港北区新横浜三丁目 6 番 1 2 号

氏 名

アセットコア・テクノロジー株式会社